

Казанский государственный технический университет им. А.Н. Туполева

Кафедра радиоэлектронных и телекоммуникационных систем

Щербакова Т.Ф., Култынов Ю.И.

Комбинационные и последовательные узлы цифровых систем.

Методическое пособие по лабораторной работе

Казань, 2005 г.

Цель работы: Ознакомление с принципом построения и работы различных цифровых узлов.

Сведения из теории

Триггеры

Для построения цифровых систем, кроме комбинационных узлов, требуются последовательные узлы, логическое состояние которых определяется последовательностью поступления входных сигналов.

Последовательная схема представляет собой автомат для выполнения логических операций, обладающий способностью запоминания отдельных состояний переменных. В отличие от схем комбинационного типа выходные переменные зависят не только от входных переменных, но и от текущего состояния устройства.

Таким образом, для построения цифровых систем требуются элементы памяти, осуществляющие хранение двоичной информации в течение требуемого времени. В качестве элемента памяти в цифровых микросхемах используется бистабильная ячейка (БЯ), представляющая собой два инвертирующих логических элемента (чаще всего ИЛИ-НЕ или И-НЕ), соединенных перекрестными связями (рис.1).

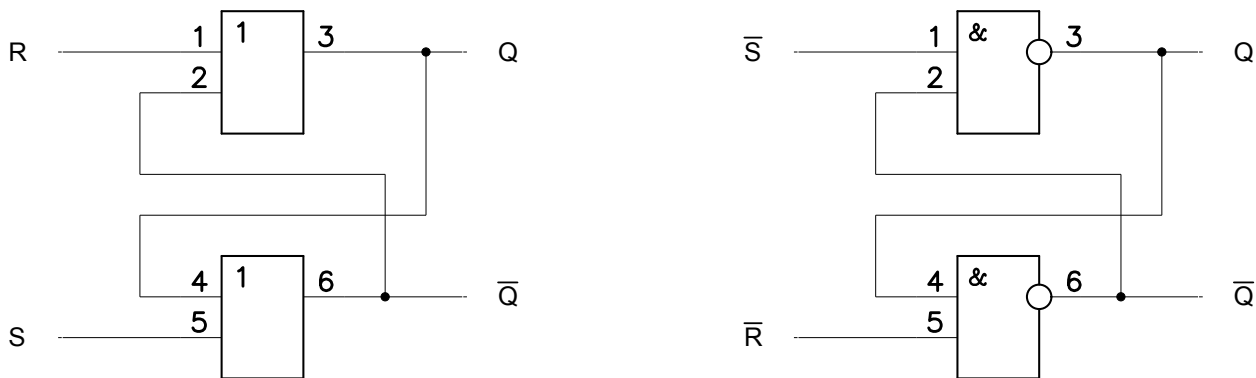


Рис. 1

На основе элементов памяти строятся триггеры — электронные схемы, имеющие два устойчивых состояния, которые устанавливаются при подаче соответствующей комбинации на управляющие входы триггера и сохраняются в течение заданного времени после окончания действия этих сигналов. В зависимости от комбинаций сигналов, управляющих переключением, триггеры делятся на ряд типов: RS, JK, T, D.

Помимо хранения информации многие типы триггеров осуществляют определенное ее преобразование; сдвиг во времени,

счет и др. Бистабильная ячейка является простейшим типом триггера, выполняющим только хранение информации.

В цифровых устройствах используется большое число различных триггеров, которые классифицируются по ряду признаков: способу записи информации, логической структуре, типу функционирования, элементной базе. Общая структура триггеров показана на рис.2, где в качестве элемента памяти используется бистабильная ячейка.

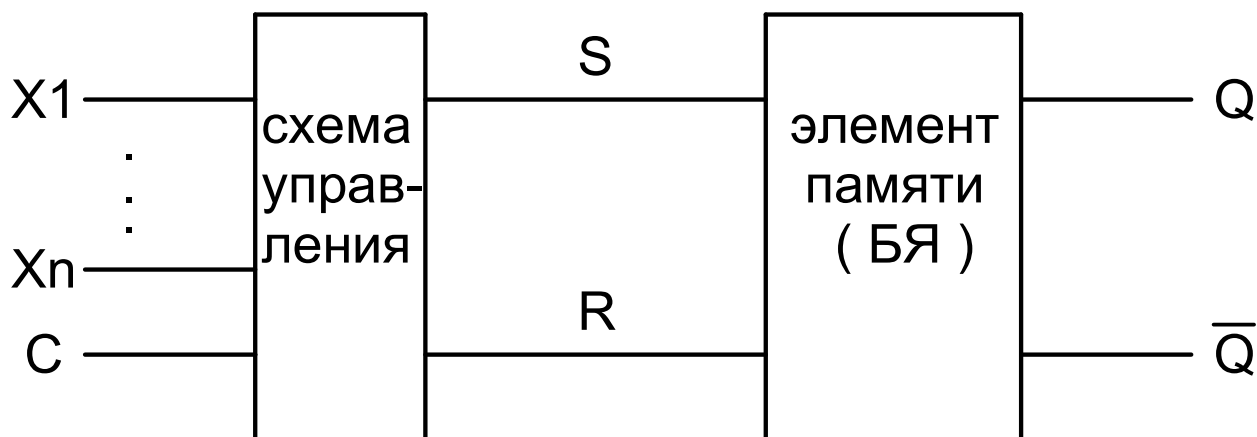


Рис. 2

Переключение БЯ в то или иное состояние осуществляется сигналами S (set-установка), R (reset-сброс), поступающими с выходов схемы управления. Логическое значение сигналов S, R зависит от комбинации сигналов на внешних управляющих входах триггера и от состояния на выходе БЯ, которое определяется значением сигнала Q .

Состояние триггера оценивается значением выходного сигнала Q . Изменение значения Q происходит только при поступлении синхронизирующего сигнала (синхроимпульса) на специальный вход синхронизации C (clock-времязадающий), то триггер называется синхронным. В асинхронных триггерах отсутствует вход C синхронизации. Поэтому переключение асинхронных триггеров происходит, как только на управляющие входы поступает соответствующая комбинация управляющих сигналов X .

В зависимости от комбинации управляющих сигналов X , вызывающих изменение состояния, триггеры подразделяются по характеристическому уравнению или таблице истинности, которые указывают значение выходного сигнала Q_{n+1} после переключения триггера (в момент t_{n+1}) в зависимости от значений управляющих сигналов X и выходного сигнала Q_n до переключения триггера в момент времени t_n). Наиболее часто используются триггеры: RS, JK, T, D и некоторые их разновидности. Буквами (R и S , J и K , T , D) и другими принято обозначать управляющие входы триггеров соответствующих типов.

RS-триггер.

RS - триггер имеет два управляющих входа S и R , с помощью которых выполняются функции установки триггера в состояние $Q=1$

(при $S=1, R=0$) и сброса в состояние $Q=0$ (при $S=0, R=1$). При $S=R=0$ триггер работает в режиме хранения, т.е. сохраняет ранее установленное состояние $Q=1$, либо $Q=0$. Комбинация входных переменных $R=S=1$ (установка и сброс одновременно) является запрещенной, т.к. может привести к неопределенному состоянию выхода Q после установки $R=S=0$ (может быть $Q=0$, а может быть $Q=1$).

Полная таблица состояний представляет собой табличное описание функционирования RS триггера и представлена в таб.1.

Таблица 1.

R	S	Q
0	0	хранение
0	1	1
0	0	хранение
1	0	0
0	0	хранение

RS-триггеры могут быть асинхронными или синхронными. Их условные обозначения приведены на рис.3а и рис.3б соответственно.

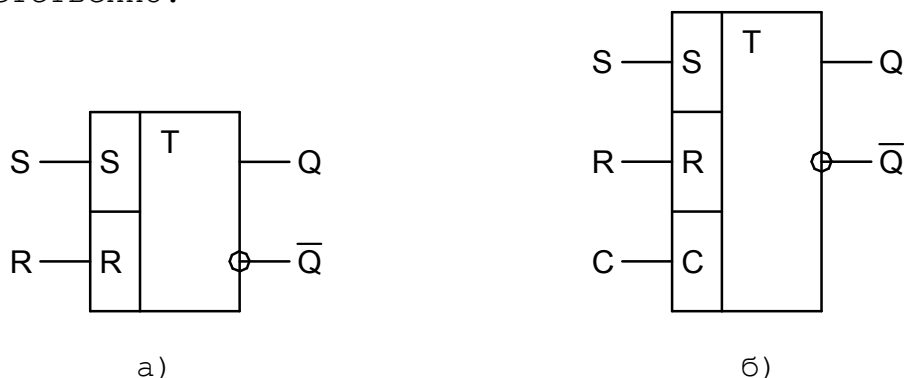


Рис. 3

JK-триггер.

JK-триггер имеет два информационных входа **J** (*J* – jump – переброс, прыжок), **K** (*K* – keep – держать, сохранять) и является наиболее универсальным из всех триггеров. JK-триггер функционирует как RS-триггер с прямыми входами, при этом вход **J** предназначен для установки триггера в состояние «1», а вход **K** в состояние «0». Однако, в отличие от RS-триггера, комбинация сигналов $J=K=1$ не является запрещенной для JK-триггера – в этом случае происходит его переключение в противоположное состояние. Таблица истинности показана в таблице 2.

Таблица 2.

J	K	Q
0	0	хранение
0	1	0
1	0	1
1	1	Переключение
0	0	Хранение

JK-триггеры могут быть асинхронными или синхронными. Их условные обозначения приведены на рис.4а и рис.4б соответственно.

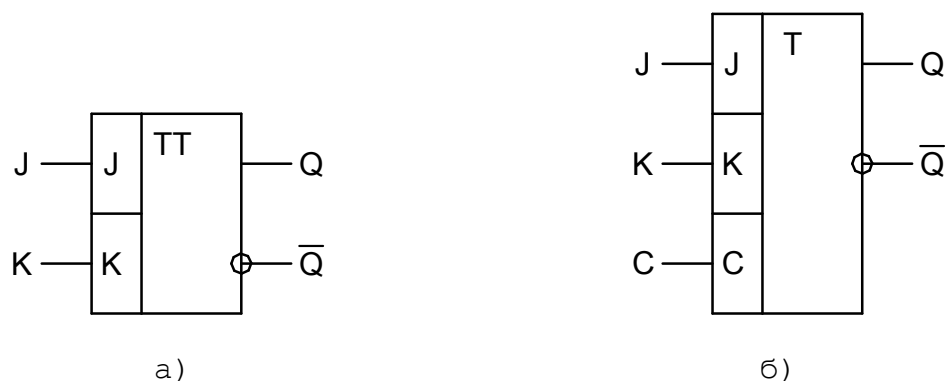


Рис.4

JK-триггеры, в силу универсальности, могут выполнять функции других триггеров. При использовании JK-триггера в качестве D-триггера на входах J и K сигналы должны быть противофазны, для чего на вход K формационный сигнал подается через схему инвертора (рис.5а).

Для схемного превращения JK-триггера в T-триггер объединяют входы J и K. Если на эти входы будет подана логическая «1», а на вход C поступают тактовые импульсы, то данный триггер функционирует как двухтактный T-триггер (рис 5б).

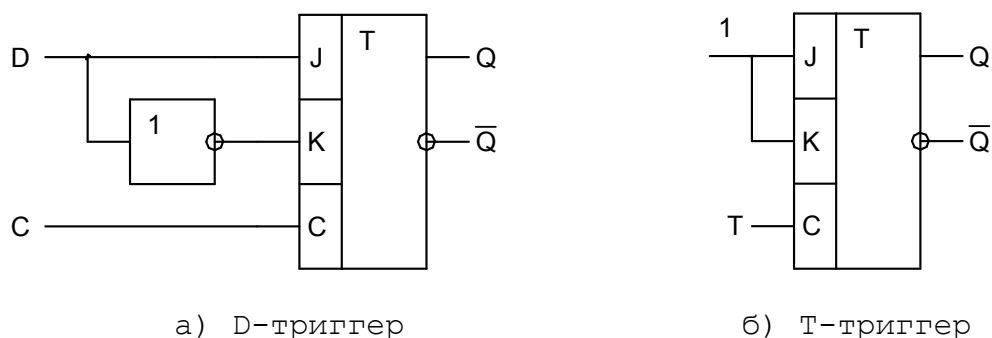


Рис.5

D-триггер.

Он имеет два входа - информационный D (D-delay-задержка) и тактовый C (рис.6а). Запись информации в него производится только в моменты поступления тактовых импульсов на вход C. В этом случае выходной сигнал Q повторяет входной D: $Q=1$, если $D=1$ и $Q=0$, если $D=0$.

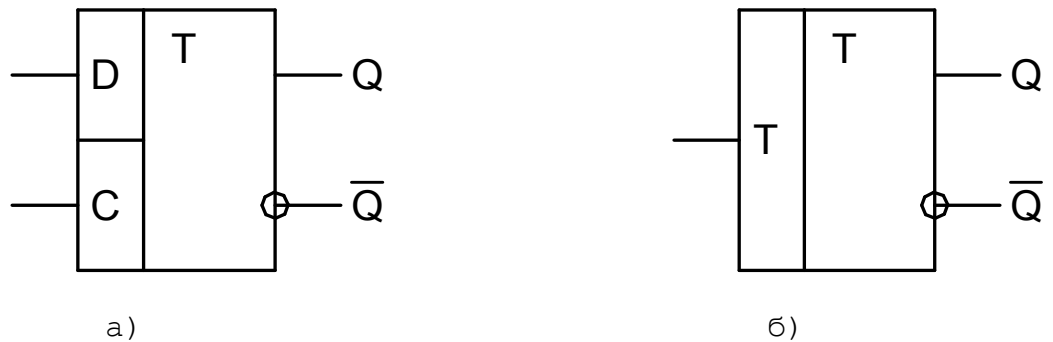


Рис. 6

Т-триггер.

Этот триггер часто называют **счетным** и он имеет только один, информационный вход Т (рис.6б), и его переключение происходит в момент поступления очередного входного импульса. Период повторения выходных импульсов Т-триггера в два раза больше периода повторения входных импульсов. Поскольку частота следования выходных импульсов в этом случае уменьшается вдвое, то Т-триггеры широко используются в делителях частоты.

Регистры

Регистры являются распространенным типом последовательных узлов в современных цифровых системах. По способу приема и выдачи информации регистры делятся на следующие группы: с параллельным приемом и выдачей (рис.7а), с последовательным приемом и выдачей (рис.7б), с последовательным приемом и параллельной выдачей (рис.7в), с параллельным приемом и последовательной выдачей (рис.7г), комбинированные с различными способами приема и выдачи (рис.8).

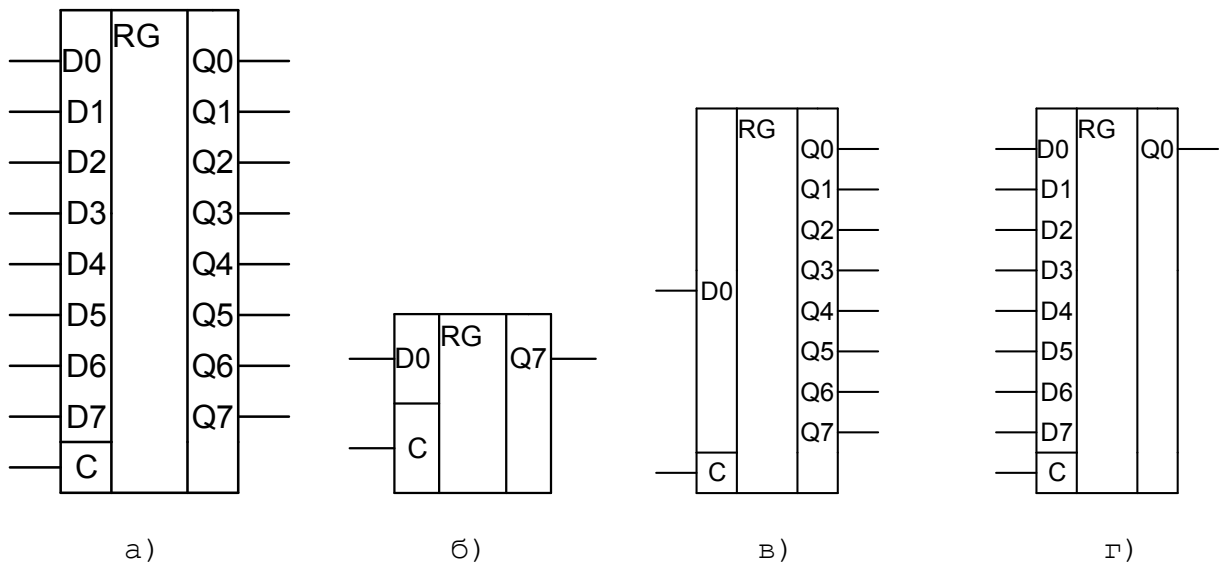


Рис. 7

Регистры с параллельным приемом и выдачей служат для хранения информации и называются регистрами памяти. Изменение хранящейся информации (ввод новой информации) происходит после соответствующего изменения сигналов на входах **D** при

поступлении синхронизирующего сигнала на вход **С**.

Регистры с последовательным приемом или выдачей называются сдвиговыми регистрами. В регистре с последовательным приемом и выдачей первый разряд вводимого числа D0 подается на вход одного, крайнего слева или справа (в зависимости от направления сдвига) разряда регистра и вводится в него при поступлении первого синхроимпульса. При поступлении следующего синхроимпульса, значение записанное в предыдущем такте переписывается в следующий разряд, а на его место записывается следующий разряд вводимого числа.

Так производится последовательный сдвиг поступающей на вход информации на один разряд в каждом такте синхросигналов.

Параллельный вывод информации из сдвигового регистра осуществляется при подключении всех разрядов регистра к отдельным выходам.

В качестве разрядов регистров обычно используются синхронизируемые фронтом или уровнем триггеры.

При проектировании сдвиговых регистров обязательным является применение триггеров синхронизируемых фронтом, ведь во время действия синхросигнала изменяются состояния выходов триггеров, которые подключены к входам последующих триггеров. Таким образом, изменяется состояние входов последующих триггеров. Если синхроимпульс еще не кончился, то триггеры, синхронизируемые уровнем, переключаются в новое состояние. В результате за время действия одного синхроимпульса (один такт) информация в регистре продвигается более чем на один разряд, т.е. нормальное функционирование регистра – сдвиг на 1 разряд за 1 такт – нарушается. Использование триггеров, синхронизируемых положительным или отрицательным фронтом, обеспечивает нормальную работу регистра.

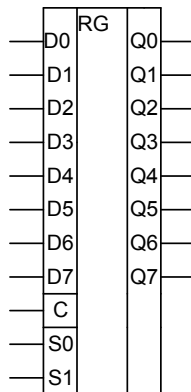


Рис. 8

Сдвиговые регистры, показанные на рис.8 могут работать в двух режимах: параллельный ввод информации и сдвиг (последовательный ввод). Режим работы триггера определяется управляющим сигналом на S0 входе.

Сдвиговые регистры могут быть реверсивными, т.е. выполняющими сдвиг в любом направлении: слева направо или наоборот.

Направление сдвига определяется значением управляющего сигнала S1.

Как видно из рассмотренного выше, регистры могут выполнить хранение и преобразование информации. Они являются многофункциональными узлами цифровых систем: множители, делители, устройства задержки и т.д.

Занесение новой информации в регистр называется операцией записи или просто записью. Вывод информации из регистра для передачи в другие узлы называется операцией считывания или просто считыванием. Иногда все триггеры регистра требуется устанавливать в определенное состояние с помощью одного управляющего сигнала. Эта операция называется установкой начального состояния.

Мультиплексоры

Комбинационными называются цифровые функциональные узлы на логических элементах, не содержащие элементов памяти. Логическое состояние выходов зависит только от комбинации логических сигналов на входах в данный момент времени. К таким цифровым устройствам относятся дешифраторы, сумматоры, цифровые компараторы (схемы сравнения), мультиплексоры и др. Комбинационные узлы и блоки цифровых систем либо собираются из отдельных микросхем малой степени интеграции (элементов И-НЕ, ИЛИ-НЕ и др.), либо изготавливаются в виде одной микросхемы средней или большой степени интеграции (СИС и БИС).

Мультиплексором называется функциональный узел, обеспечивающий передачу информации поступающей по нескольким входным линиям, на одну выходную линию. Или другими словами, мультиплексор служит для последовательного опроса логических состояний большого числа переменных и передает их на один выход. Выбор той или иной входной линии X_i осуществляется в соответствии с поступающим адресным кодом $a_0, a_1 \dots$. При наличии n адресных входов можно реализовать $M = 2^n$ комбинаций адресных сигналов a_i каждая из которых обеспечивает выбор одной из M входных линий. То есть, число информационных входов однозначно связано с числом адресных входов соотношением $M = 2^n$. Выход у мультиплексоров обычно один, прямой или инверсный, но могут быть предусмотрены оба выхода для парафазного представления сигнала. Чаще всего используются мультиплексоры "из 4 в 1" ($M=4, n=2$), "из 8 в 1" ($M=8, n=3$), "из 16 в 1" ($M=16, n=4$).

Рассмотрим один пример реализации мультиплексора "из 4 в 1", выходная функция которого записывается следующим образом:

$$F = \overline{a_0} \cdot \overline{a_1} \cdot X_0 + a_0 \cdot \overline{a_1} \cdot X_1 + \overline{a_0} \cdot a_1 \cdot X_2 + a_0 \cdot a_1 \cdot X_3 \quad (1)$$

В зависимости от состояния входов адресов a_0 и a_1 выход мультиплексора F соединяется с одним из его информационных входов $X_0 \div X_3$. Логическое произведение адресных сигналов равно единице только для той входной переменной, индекс которой совпадает с требуемым адресом. Например, если $a_1=1, a_0=0$, то

$$F = 0 \cdot 1 \cdot X_0 + 0 \cdot 0 \cdot X_1 + 1 \cdot 1 \cdot X_2 + 1 \cdot 0 \cdot X_3 = X_2$$

Обратимся к выражению (I) , для реализации выходной функции необходимо прежде всего реализовать 4 операции И:

$$f_0 = \overline{a_0} \cdot \overline{a_1} \cdot X_0; \quad f_1 = a_0 \cdot \overline{a_1} \cdot X_1; \quad f_2 = \overline{a_0} \cdot a_1 \cdot X_2; \quad f_3 = a_0 \cdot a_1 \cdot X_3; \quad (2)$$

Поскольку в функции $f_0 \div f_2$ входят инверсные значения адресных сигналов a_0, a_1 , то необходимо осуществить их инвертирование перед устройствами реализующими операцию И. Затем производится операция ИЛИ:

$$F = f_0 + f_1 + f_2 + f_3 \quad (3)$$

В результате выполнения (2) и (3) реализуется требуемая выходная функция мультиплексора. Схема мультиплексора на элементах И, НЕ, ИЛИ, построенная на основании выражения (I) приведена на рис.9.

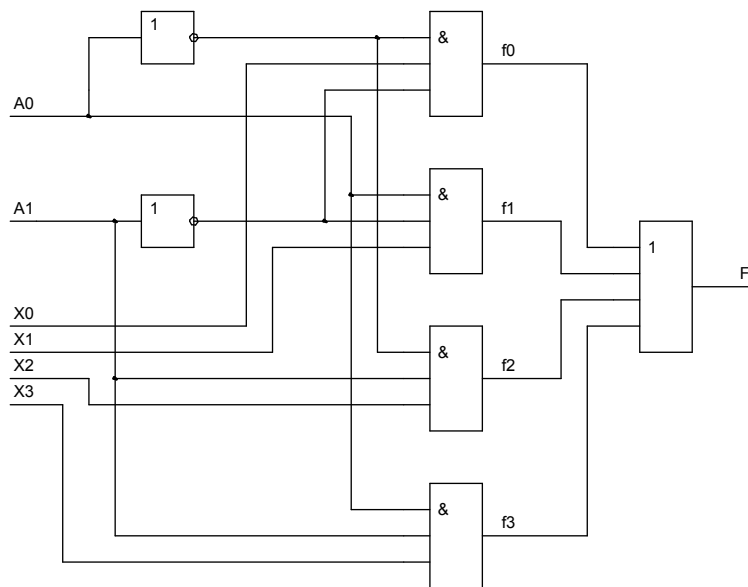


Рис. 9

Поскольку базовыми элементами современных цифровых микросхем являются элементы, выполняющие операции И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ, то чаще логические схемы строятся на них. Выходная функция мультиплексора, функционирующая аналогично рассмотренной выше, но переведенная в базис И-НЕ, имеет вид:

$$F = \overline{\overline{a_0} \cdot \overline{a_1} \cdot X_0 \cdot \overline{a_0} \cdot \overline{a_1} \cdot X_1 \cdot \overline{a_0} \cdot a_1 \cdot X_2 \cdot a_0 \cdot a_1 \cdot X_3}} \quad (4)$$

Здесь вначале необходимо реализовать 4 операции И-НЕ:

$$f_0 = \overline{a_0 \cdot a_1 \cdot X_0}; \quad f_1 = \overline{a_0 \cdot a_1 \cdot X_1}; \quad f_2 = \overline{a_0 \cdot a_1 \cdot X_2}; \quad f_3 = \overline{a_0 \cdot a_1 \cdot X_3} \quad (5)$$

Затем реализуется следующая операция И-НЕ:

$$F = \overline{f_0 \cdot f_1 \cdot f_2 \cdot f_3} \quad (6)$$

Схема мультиплексора на элементах И-НЕ, построенная по выражению (4) приведена на рис.10.

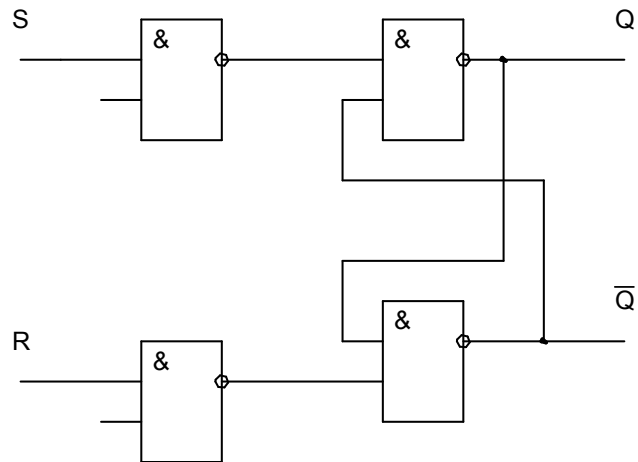


Рис.11

б) на информационные входы R и S подать сигналы с имитационного регистра.

в) задавая сигналы на входы R и S заполнить таблицу

S	R	Q^t	Q^{t+1}
0	0		
1	0		
0	0		
0	1		
1	0		

Где Q^t состояние триггера до подачи заданной комбинации на входы R и S, Q^{t+1} - после подачи.

2. Исследовать универсальный JK-триггер рис.12.

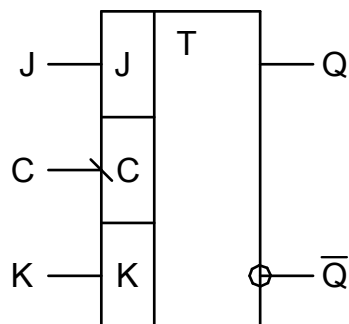


Рис. 12

а) соединить входы J и K с имитационным регистром;

б) соединить вход C с генератором Г5-15, подставленным в режим однократного запуска: $U=3.5\text{В}$, $t_u=0.5\text{мкс}$.

в) задавая сигналы на входах J и K и подавая синхроимпульс заполнить таблицу переходов.

J	K	C	Q^t	Q^{t+1}
1	0	↓		
0	0	↓		
0	1	↓		
1	1	↓		
0	0	↓		

3. Исследовать параллельный регистр:

а) Собрать схему регистра памяти приведенную на рис.13

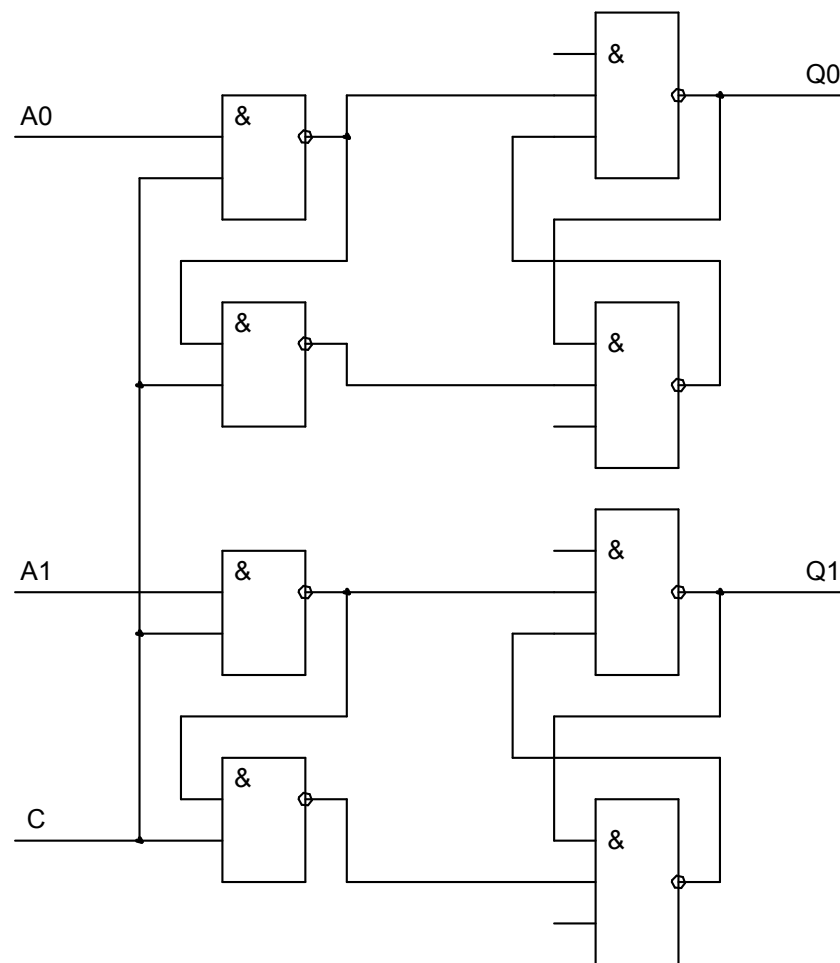


Рис.13

- б) соединить входы A0, A1 и C с имитационным регистром;
 в) заполнить таблицу (сначала нужно изменить состояние входа синхронизации, а затем информационных входов):

A0	A1	C	Q0	Q1
0	0	1		
0	1	0		
1	1	0		
1	1	1		
0	0	0		
1	0	1		

4. Исследовать регистр сдвига.

а) Собрать схему регистра сдвига приведенную на рис.14

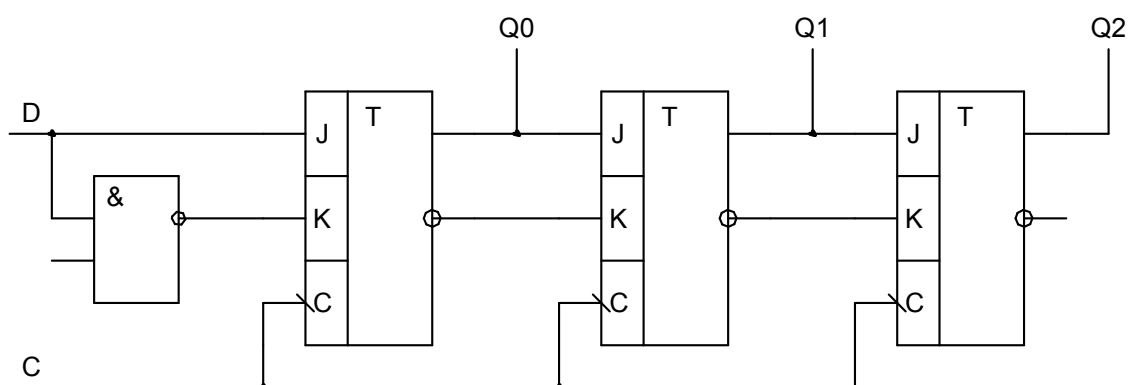


Рис.14

б) соединить вход D с имитационным регистром.

в) соединить вход C с генератором Г5-15, подставленным в режим однократного запуска: $U=3.5\text{В}$, $t_u=0.5\text{мкс}$.

г) очистить регистр.

в) заполнить таблицу:

D	C	Q0	Q1	Q2
1	↓			
1	↓			
1	↓			
0	↓			
1	↓			
0	↓			

5. Исследовать мультиплексор:

а) изучить схему мультиплексора приведенную на рис.9.

б) для различных комбинаций входных переменных заполнить таблицу истинности:

адресные входы		информационные входы				выходная функция				F
A1	A0	X0	X1	X2	X3	f_0	f_1	f_2	f_3	
0	0	1	1	1	1					
0	1	1	1	1	1					
1	0	1	1	1	1					
1	1	1	1	1	1					
1	1	1	1	1	0					
0	1	0	1	0	0					

в) изучить схему мультиплексора приведенную на рис.10.

г) для различных комбинаций входных переменных заполнить таблицу истинности:

адресные входы		информационные входы				выходная функция				F
A1	A0	X0	X1	X2	X3	f_0	f_1	f_2	f_3	
0	0	1	1	1	1					
0	1	1	1	1	1					
1	0	1	1	1	1					
1	1	1	1	1	1					
0	0	0	1	1	1					
1	0	0	0	0	0					

Примечание .

Вместо генератора импульсов можно использовать схему приведенную на рис.15 основной частью которой является RS-триггер с инверсными входами управления. Она позволяет устранитьдребезг контактов (вследствие чего формируются несколько импульсов при одном переключении тумблера) тумблеров имитационного регистра при его использовании в качестве источника импульсов синхронизации.

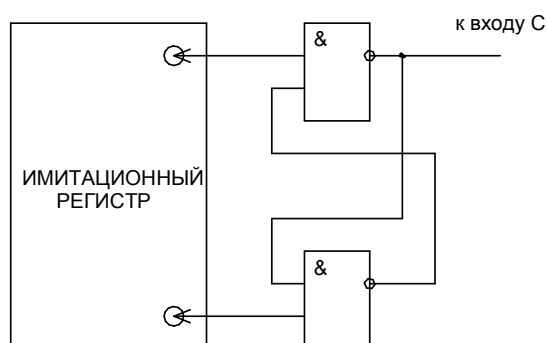


Рис.15

Содержание отчета

1. Условные обозначения.
2. Таблицы истинности.

Контрольные вопросы

1. Основные понятия о последовательных узлах.
2. Схемы бистабильных ячеек.
3. Основные понятия о триггерах.
4. RS-триггеры и JK-триггеры. Их условные обозначения и таблицы переходов.
5. Классификация регистров по способу приема и выдачи информации.
6. Принципы построения регистров памяти и сдвиговых регистров.
7. Понятие о комбинационных устройствах.
8. Назначение мультиплексора.
9. Объяснить принцип функционирования схем мультиплексоров приведенных на рис.9,10.

Литература

1. А.Г.Алексенко, И.И.Шагурин. Микросхемотехника.-М.: Радио и связь, 1982-415с.